

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235038  
 (43)Date of publication of application : 10.09.1993

(51)Int.CL H01L 21/336  
 H01L 29/784  
 H01L 21/20  
 H01L 21/208  
 H01L 21/265  
 H01L 21/268

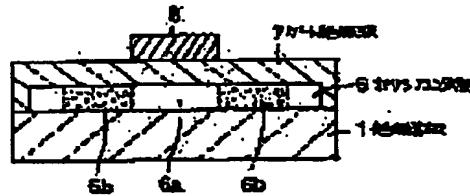
(21)Application number : 04-069868 (71)Applicant : CASIO COMPUT CO LTD  
 (22)Date of filing : 19.02.1992 (72)Inventor : WAKAI HARUO

## (54) METHOD OF MANUFACTURING THIN FILM TRANSISTOR

## (57)Abstract

PURPOSE: To lessen the numbers of manufacturing steps while reinforcing the crystal structure of polysilicon film.

CONSTITUTION: An amorphous silicon thin film substantially containing no hydrogen at all is formed on an insulating substrate 1 and then irradiated with excimer laser to polycrystallize the amorphous silicon thin film into a polysilicon thin film 6. At this time, the polycrystallization by excimer laser irradiation is to be liquid-grown thereby enabling the crystal structure of the polysilicon thin film 6 to be reinforced. Next, after the element separation, a gate insulating film 7 comprising a silicon oxide film and a silicon nitride film is formed on the whole surface. That is, firstly, the silicon film is deposited on the whole surface by sputtering step and then the silicon nitride film is deposited on the surface of the silicon oxide film. When the silicon nitride film is deposited by plasma CVD step, the polysilicon thin film 6 is simultaneously hydrogenated to reduce the dangling bond of the silicon nitride film. Accordingly, the original hydrogenation step can be eliminated.



## LEGAL STATUS

[Date of request for examination]	02.02.1995
[Date of sending the examiner's decision of rejection]	16.12.1997
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3063018
[Date of registration]	12.05.2000

[Number of appeal against examiner's decision 10-00990  
of rejection]

[Date of requesting appeal against examiner's 16.01.1998  
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The manufacture approach of the thin film transistor characterized by forming the amorphous silicon thin film which does not contain hydrogen substantially on an insulating substrate, hydrogenating said polish recon thin film at the same time it deposits an insulator layer by plasma CVD on this polish recon thin film, after polycrystal-izing this amorphous silicon thin film and considering as a polish recon thin film by irradiating excimer laser at this amorphous silicon thin film, and reducing that dangling bond.

[Claim 2] The manufacture approach of the thin film transistor according to claim 1 characterized by activating said impurity impregnation field to coincidence by the exposure of said excimer laser for polycrystal-izing said amorphous silicon thin film after pouring an impurity into the source drain formation field of said amorphous silicon thin film and forming an impurity impregnation field in it.

[Claim 3] Said amorphous silicon thin film is the manufacture approach of the thin film transistor according to claim 1 characterized by being formed by performing dehydrogenation treatment to the hydrogenation amorphous silicon thin film deposited on said insulating substrate.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## **DETAILED DESCRIPTION**

#### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a thin film transistor.

[0002]

[Description of the Prior Art] The amorphous silicon thin film which does not contain hydrogen by LPCVD is deposited on the top face of the insulating substrate which consists of a glass substrate etc., by irradiating CW laser at this amorphous silicon thin film, an amorphous silicon thin film is polycrystal-ized, it considers as a polish recon thin film, and there is a method of manufacturing a thin film transistor through a predetermined process below among the manufacture approaches of a thin film transistor. In this case, the amorphous silicon thin film which does not contain hydrogen is deposited for avoiding that hydrogen bumps at the time of CW laser radiation, and a defect arises.

[0003]

[Problem(s) to be Solved by the Invention] However, by the manufacture approach of such a conventional thin film transistor, since the amorphous silicon thin film was polycrystal-ized and it was considering as the polish recon thin film by irradiating CW laser at the amorphous silicon thin film which does not contain hydrogen, the hydrogen treating for reducing the dangling bond of a polish recon thin film after CW laser radiation needed to be performed, and there was a problem that the number of production processes increased for this reason. Moreover, since polycrystal-ization by CW laser radiation was solid phase growth, the crystal structure of a polish recon thin film was bad, and, for this reason, there was a problem that mobility was comparatively as small as  $10\text{cm}^2/\text{V}\cdot\text{sec}$  extent. The purpose of this invention is to offer the manufacture approach of the thin film transistor which can lessen the number of production processes and can improve the crystal structure of a polish recon thin film.

[0004]

[Means for Solving the Problem] This invention forms the amorphous silicon thin film which does not contain hydrogen substantially on an insulating substrate, after polycrystallizing this amorphous silicon thin film and considering as a polish recon thin film by irradiating excimer laser at this amorphous silicon thin film, hydrogenates said polish recon thin film, and reduces that dangling bond at the same time it deposits an insulator layer by plasma CVD on this polish recon thin film. In addition, if hydrogen is not contained substantially here, a hydrogen content will say the thing not more than about number atomic%.

[0005]

[Function] Since a polish recon thin film is hydrogenated and he is trying to reduce that dangling bond according to this invention at the same time it deposits an insulator layer by plasma CVD on a polish recon thin film, deposition of an insulator layer and hydrogenation of a polish recon thin film can be once performed to coincidence by plasma CVD, an original hydrogenation process can be skipped, as a result the number of production processes can be lessened. Moreover, since polycrystal-ization by excimer laser exposure is liquid phase epitaxy, the crystal structure of a polish recon thin film can be

improved.

[0006]

[Example] Drawing 1 - drawing 7 show each production process of the thin film transistor in one example of this invention, respectively. Then, the manufacture approach of a thin film transistor is explained, referring to these drawings in order.

[0007] First, as shown in drawing 1, the hydrogenation amorphous silicon thin film 2 is deposited on the top face of the insulating substrate 1 which consists of a glass substrate etc. by the plasma CVD which used the mixed gas of SiH<sub>4</sub> and H<sub>2</sub>. In this case, about 200-350 degrees C of temperature of an insulating substrate 1 are desirably made into about 250 degrees C, and it is made for about 400-1000A of thickness of the hydrogenation amorphous silicon thin film 2 to become about 500A desirably using the mixed gas of SiH<sub>4</sub> of 10 - 20SCCM extent, and Hthose about 10 times 2. Then, the hydrogen content of the hydrogenation amorphous silicon thin film 2 becomes about 10-20atomic%. Next, dehydrogenation treatment is performed in order to avoid that hydrogen bumps and a defect arises, when high energy is given by excimer laser exposure at a next process. in this case, the inside of N<sub>2</sub> ambient atmosphere -- setting -- the temperature of about 450 degrees C -- heat treatment of about 1 hour -- carrying out -- a hydrogen content -- less than [ 3atomic% ] -- it is made to become less than [ 1atomic% ] desirably This dehydrogenation treatment can be performed at once to the insulating substrate 1 of dozens of - hundreds of sheets.

[0008] Next, as shown in drawing 2, pattern formation of the photoresist film 4 is carried out to the top face of the part corresponding to fields other than source drain formation field 3a of the amorphous silicon thin film 3 after dehydrogenation treatment. Next, impurities, such as boron ion, are poured into source drain formation field 3a of the amorphous silicon thin film 3 by using this photoresist film 4 as a mask, and the impurity impregnation field 5 is formed. Then, the photoresist film 4 is removed.

[0009] Next, while the amorphous silicon thin film 3 will polycrystal-ize and will turn into the polish recon thin film 6 if XeCl excimer laser with a wavelength of 308nm is irradiated in an energy density 250 - about two 350 mJ/cm, and about 50ns of pulse width as shown in drawing 3, the impurity impregnation field 5 is activated. In this case, since the impurity impregnation field 5 is activated at the same time it polycrystal-izes the amorphous silicon thin film 3, the number of production processes can be lessened as compared with the case where can perform polycrystal-izing and activation to coincidence by excimer laser exposure once, therefore polycrystal-izing and activation are performed at a separate process. Moreover, since polycrystal-ization by excimer laser exposure is liquid phase epitaxy, it can improve the crystal structure of the polish recon thin film 6, as a result can enlarge mobility. In addition, of course, excimer laser other than XeCl excimer laser with a wavelength of 308nm, such as KrF with a wavelength of 248nm, ArF with a wavelength of 193nm, ArCl with a wavelength of 175nm, and XeF with a wavelength of 353nm, may be used.

[0010] Next, as shown in drawing 4, isolation removes the polish recon thin film 6 of an unnecessary part. In this condition, the center section of the polish recon thin film 6 is set to channel field 6a, and those both sides are set to source drain field 6b which consists of an activation impurity range. Next, as shown in drawing 5, the gate dielectric film 7 which consists of silicon oxide film and a silicon nitride film is formed in all front faces. That is, the silicon oxide film is first deposited on all front faces by the spatter, and a silicon nitride film is deposited by the plasma CVD using the mixed gas which consists of SiH<sub>4</sub>, and NH<sub>3</sub> and N<sub>2</sub> subsequently to the front face of this silicon oxide film. If make temperature of an insulating substrate 1 into about 250 degrees C, make SiH<sub>4</sub> into 30SCCM extent, NH<sub>3</sub> is made into 60SCCM extent, N<sub>2</sub> is made into 390SCCM extent and it carries out about output 600W and with pressure 0.5Torr extent when depositing a silicon nitride film by plasma CVD, the polish recon thin film 6 will be hydrogenated by coincidence, and the dangling bond will decrease in number. Thus, since the polish recon thin film 6 is hydrogenated to depositing gate dielectric film 7 by plasma CVD on the polish recon thin film 6, and coincidence and the dangling bond is reduced, deposition of gate dielectric film 7 and hydrogenation of the polish recon thin film 6 can be once performed to coincidence by plasma CVD, an original hydrogenation process can be skipped, as a result the number of production processes can be lessened. Next, pattern formation of the gate electrode 8 which becomes the top face of

the gate dielectric film 7 of the part corresponding to channel field 6a from Cr is carried out.

[0011] Next, as shown in drawing 6, the interlayer insulation film 9 which consists of silicon nitride etc. is formed in all front faces. Next, a contact hole 10 is formed in the interlayer insulation film 9 and gate dielectric film 7 of a part corresponding to source drain field 6b. Next, as shown in drawing 7, pattern formation of the source drain electrode 11 which consists of aluminum connected with source drain field 6b through a contact hole 10 is carried out to the top face of an interlayer insulation film 9. It was checked that whenever [ effectiveness ] is more than 80m<sup>2</sup>/V·sec, and the thin film transistor of the electric field effect mold obtained in this way has the very good crystal structure of the polish recon thin film 6.

[0012] In addition, although dehydrogenation treatment is performed in the above-mentioned example after depositing the hydrogenation amorphous silicon thin film 2 by plasma CVD, it is not limited to this and you may make it deposit the amorphous silicon thin film which does not contain hydrogen by LPCVD. In this case, temperature of the insulating substrate 1 at the time of depositing the amorphous silicon thin film which does not contain hydrogen by LPCVD is made into about 500-600 degrees C, and the energy density of polycrystal-izing and the excimer laser for being activated is made into about two 400 mJ/cm. Therefore, although it is not necessary to perform dehydrogenation treatment in this case, since temperature of an insulating substrate 1 will be comparatively made into an elevated temperature with about 500-600 degrees C, time amount becomes this thing to the temperature up of substrate temperature too many. Moreover, although not an amorphous silicon thin film but a polish recon thin film will accumulate directly when temperature of an insulating substrate 1 is made into about 600 degrees C, the diameter of crystal grain can grow by subsequent excimer laser exposure, therefore the crystal structure of a polish recon thin film can be improved.

[0013] Moreover, although the above-mentioned example explained the case where this invention was applied to the thin film transistor of the usual metal-oxide-semiconductor structure, as compared with the thin film transistor of the usual metal-oxide-semiconductor structure, it is applicable also to the thin film transistor of the LDD structure which aimed at and formed improvement in pressure-proofing etc. into high reliance. For example, in the thin film transistor of the LDD structure shown in drawing 8 which gave the same sign to the same name part as drawing 7, it has structure which was set to channel field 6a in the center section of the polish recon thin film 6, was set to source drain field 6b with low high impurity concentration in the both sides, and was further set to source drain field 6c with high high impurity concentration in the both sides. In manufacturing the thin film transistor of this LDD structure For example, a low-concentration impurity is injected into the part which should form source drain field 6b with low high impurity concentration, and source drain field 6c with high high impurity concentration in the condition that it is shown in drawing 2. Subsequently, remove the photoresist film 4 and another photoresist film is formed in the top face of parts other than the part which should form source drain field 6c with high impurity concentration high subsequently. What is necessary is just to make it inject a high-concentration impurity into the part which should form source drain field 6c with high high impurity concentration by using this another photoresist film as a mask.

[0014] Furthermore, although the above-mentioned example explained the case where this invention was applied to the thin film transistor of the coplanar structure of a top gate mold, as for coplanar \*\*\*\* of stagger structure or a backgate mold, it is needless to say that it can apply also to the thin film transistor of stagger structure. In the case of a backgate mold, a gate electrode and gate dielectric film are formed in the top face of an insulating substrate, an amorphous silicon thin film is deposited on it, this amorphous silicon thin film is polycrystal-ized, and it considers as a polish recon thin film. Moreover, in case the hydrogen treating of a polish recon thin film deposits the passivation film (insulator layer) by plasma CVD on a polish recon thin film, it can be performed to coincidence.

[0015]

[Effect of the Invention] Since a polish recon thin film is hydrogenated and he is trying to reduce that dangling bond according to this invention as explained above at the same time it deposits an insulator layer by plasma CVD on a polish recon thin film, deposition of an insulator layer and hydrogenation of a polish recon thin film can be once performed to coincidence by plasma CVD, an original hydrogenation

process can be skipped, as a result the number of production processes can be lessened. Moreover, since polycrystal-ization by excimer laser exposure is liquid phase epitaxy, it can improve the crystal structure of a polish recon thin film, as a result can enlarge mobility.

---

[Translation done.]

**\* NOTICES \***

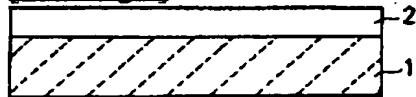
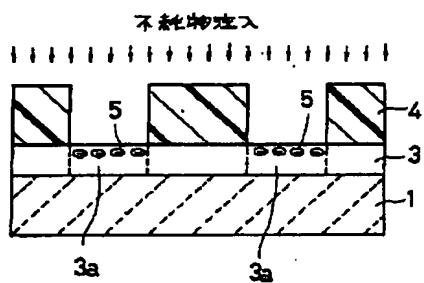
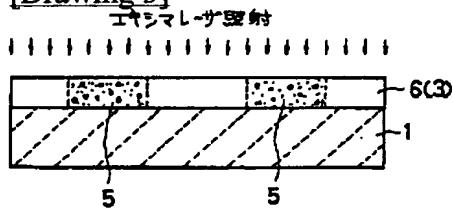
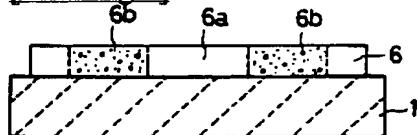
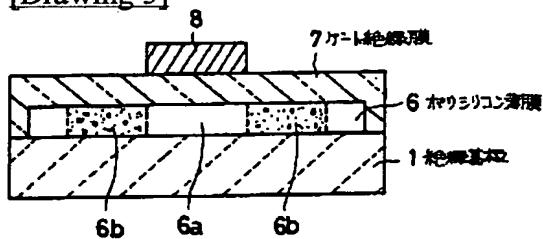
JPO and NCIPI are not responsible for any damages caused by the use of this translation.

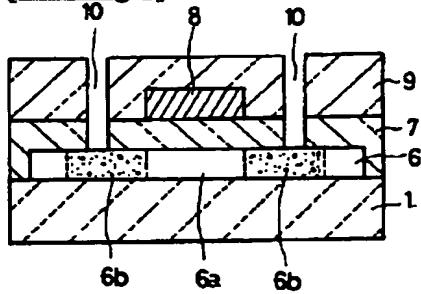
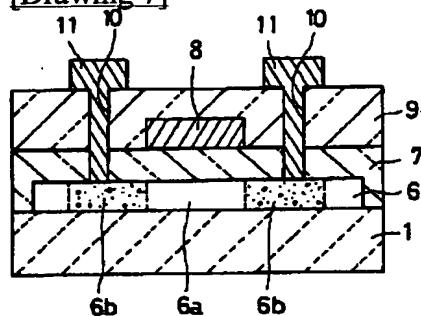
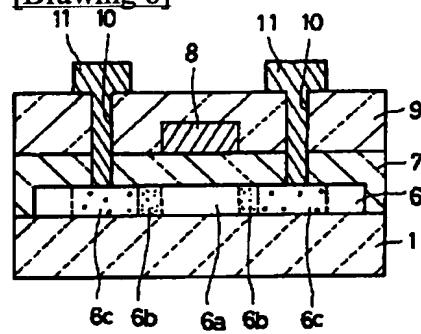
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DRAWINGS**

---

**[Drawing 1]****[Drawing 2]****[Drawing 3]****[Drawing 4]****[Drawing 5]**

[Drawing 6][Drawing 7][Drawing 8]

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-235038

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.  
H 01 L 21/336  
29/784  
21/20

検索記号

序内整理番号

F I

技術表示箇所

9171-4M  
9058-4M  
8617-4M

H 01 L 29/78  
21/285  
3 1 1 Y  
B

審査請求 未請求 請求項の数3(全5頁) 最終頁に抜く

(21)出願番号 特願平4-69368  
(22)出願日 平成4年(1992)2月19日

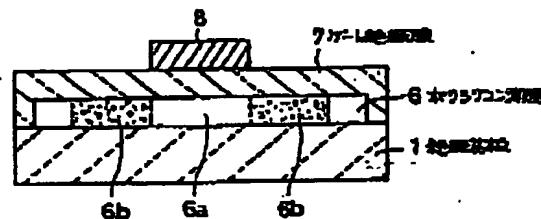
(71)出願人 000001443  
カシオ計算機株式会社  
東京都新宿区西新宿2丁目6番1号  
(72)発明者 若井 啓夫  
東京都八王子市石川町2851番地の5 カシ  
オ計算機株式会社八王子研究所内  
(74)代理人 弁護士 森村 次郎

(54)【発明の名称】薄膜トランジスタの製造方法

(57)【要約】

【目的】製造工程数を少なくし、またポリシリコン薄膜の結晶構造を良くする。

【構成】絶縁基板1上に実質的に水素を含有しないアモルファスシリコン薄膜を形成し、エキシマレーザ照射により、アモルファスシリコン薄膜を多結晶化してポリシリコン薄膜6とする。この場合、エキシマレーザ照射による多結晶化は液相成長であるので、ポリシリコン薄膜6の結晶構造を良くすることができる。次に、電子分離した後、全表面に酸化シリコン膜と窒化シリコン膜とからなるゲート絶縁膜7を形成する。すなわち、まず全表面にスピッタにより酸化シリコン膜を堆積し、次いでこの酸化シリコン膜の表面にプラズマCVDにより窒化シリコン膜を堆積する際、同時にポリシリコン薄膜6が水素化されてそのダンクリングボンドが減少する。したがつて、独自の水素化工程を省略することができる。



## 【特許請求の範囲】

【請求項1】 絶縁基板上に実質的に水素を含有しないアモルファスシリコン薄膜を形成し、このアモルファスシリコン薄膜にエキシマレーザを照射することにより該アモルファスシリコン薄膜を多結晶化してポリシリコン薄膜とした後、このポリシリコン薄膜上にプラズマCVDにより絶縁膜を堆積すると同時に前記ポリシリコン薄膜を水素化してそのダングリングボンドを減らすことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 前記アモルファスシリコン薄膜のソース・ドレイン形成領域に不純物を注入して不純物注入領域を形成した後、前記アモルファスシリコン薄膜を多結晶化するための前記エキシマレーザの照射により同時に前記不純物注入領域を活性化することを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】 前記アモルファスシリコン薄膜は、前記絶縁基板上に堆積された水素化アモルファスシリコン薄膜に脱水素処理を施すことにより形成されていることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】 薄膜トランジスタの製造方法には、ガラス基板等からなる絶縁基板の上面にLPCVDにより水素を含有しないアモルファスシリコン薄膜を堆積し、このアモルファスシリコン薄膜にCWレーザを照射することによりアモルファスシリコン薄膜を多結晶化してポリシリコン薄膜とし、以下所定の工程を経て薄膜トランジスタを製造する方法がある。この場合、水素を含有しないアモルファスシリコン薄膜を堆積するのは、CWレーザ照射時に水素が突沸して欠陥が生じるのを回避するためである。

## 【0003】

【発明が解決しようとする課題】 しかしながら、従来のこのような薄膜トランジスタの製造方法では、水素を含有しないアモルファスシリコン薄膜にCWレーザを照射することによりアモルファスシリコン薄膜を多結晶化してポリシリコン薄膜としているので、CWレーザ照射後にポリシリコン薄膜のダングリングボンドを減らすための水素化処理を施す必要があり、このため製造工程数が多くなるという問題があった。また、CWレーザ照射による多結晶化は固相成長であるので、ポリシリコン薄膜の結晶構造が悪く、このため移動度が $10 \text{ cm}^2/\text{V} \cdot \text{sec}$ 程度と比較的小さいという問題があった。この発明の目的は、製造工程数を少なくすることができ、またポリシリコン薄膜の結晶構造を良くすることのできる薄膜トランジスタの製造方法を提供することにある。

## 【0004】

【課題を解決するための手段】 この発明は、絶縁基板上に実質的に水素を含有しないアモルファスシリコン薄膜を形成し、このアモルファスシリコン薄膜にエキシマレーザを照射することにより該アモルファスシリコン薄膜を多結晶化してポリシリコン薄膜とした後、このポリシリコン薄膜上にプラズマCVDにより絶縁膜を堆積すると同時に前記ポリシリコン薄膜を水素化してそのダングリングボンドを減らすようにしたものである。なお、ここで実質的に水素を含有しないとは、水素含有量が數 $\text{atom}\% \sim 1\%$ 程度以下のことをいう。

## 【0005】

【作用】 この発明によれば、ポリシリコン薄膜上にプラズマCVDにより絶縁膜を堆積すると同時にポリシリコン薄膜を水素化してそのダングリングボンドを減らすようしているので、絶縁膜の堆積とポリシリコン薄膜の水素化を一度のプラズマCVDで同時に行うことができ、したがって独自の水素化工程を省略することができる。また、エキシマレーザ照射による多結晶化は核相成長であるので、ポリシリコン薄膜の結晶構造を良くすることができます。

## 【0006】

【実施例】 図1～図7はそれぞれこの発明の一実施例における薄膜トランジスタの各製造工程を示したものである。そこで、これらの圖を順に参照しながら、薄膜トランジスタの製造方法について説明する。

【0007】 まず、図1に示すように、ガラス基板等からなる絶縁基板1の上面にSiH<sub>4</sub>とH<sub>2</sub>との混合ガスを用いたプラズマCVDにより水素化アモルファスシリコン薄膜2を堆積する。この場合、絶縁基板1の温度を200～350°C程度ましくは250°C程度とし、10～20 SCCM程度のSiH<sub>4</sub>とその10倍程度のH<sub>2</sub>との混合ガスを用いて、水素化アモルファスシリコン薄膜2の膜厚が400～1000Å程度ましくは500Å程度となるようにする。すると、水素化アモルファスシリコン薄膜2の水素含有量は10～20 atom%程度となる。次に、後の工程でエキシマレーザ照射により高エネルギーを与えたとき水素が突沸して欠陥が生じるのでそれを回避するために、脱水素処理を行う。この場合、N<sub>2</sub>雰囲気中において450°C程度の温度で1時間程度の熱処理を行い、水素含有量が3 atom%以下ましくは1 atom%以下となるようにする。この脱水素処理は、数十枚～数百枚の絶縁基板1に対して一度に行うことができる。

【0008】 次に、図2に示すように、脱水素処理後のアモルファスシリコン薄膜3のソース・ドレイン形成領域3以外の領域に対応する部分の上面にフォトレジスト膜4をパターン形成する。次に、このフォトレジスト膜4をマスクとしてアモルファスシリコン薄膜3のソ-

3

ス・ドレイン形成領域3aにボロンイオン等の不純物を注入して不純物注入領域5を形成する。この後、フォトレジスト膜4を除去する。

【0009】次に、図3に示すように、波長308nmのXeClエキシマレーザをエネルギー密度250～350mJ/cm<sup>2</sup>程度、パルス幅50nsec程度で照射すると、アモルファスシリコン薄膜3が多結晶化してポリシリコン薄膜6になると同時に不純物注入領域5が活性化される。この場合、アモルファスシリコン薄膜3を多結晶化すると同時に不純物注入領域5を活性化しているので、多結晶化と活性化を一度のエキシマレーザ照射で同時に行うことができ、したがって多結晶化と活性化を別々の工程で行う場合と比較して製造工程数を少なくすることができる。また、エキシマレーザ照射による多結晶化は被相成長であるので、ポリシリコン薄膜6の結晶構造を良くすることができ、ひいては移動度を大きくすることができる。なお、波長308nmのXeClエキシマレーザのほかに、波長248nmのKrF、波長193nmのArF、波長175nmのArCl、波長353nmのXeF等のエキシマレーザを用いてもよいことはもちろんである。

【0010】次に、図4に示すように、電子分離により、不要な部分のポリシリコン薄膜6を除去する。この状態では、ポリシリコン薄膜6の中央部はチャネル領域6aとされ、その両側は活性化不純物領域からなるソース・ドレイン領域6bとされている。次に、図5に示すように、金表面に酸化シリコン膜と塗化シリコン膜とかなるゲート絶縁膜7を形成する。すなわち、まず金表面にスペッタにより酸化シリコン膜を堆積し、次いでこの酸化シリコン膜の表面にSiH<sub>4</sub>とNH<sub>3</sub>とN<sub>2</sub>とからなる混合ガスを用いたプラズマCVDにより塗化シリコン膜を堆積する。プラズマCVDにより塗化シリコン膜を堆積する場合、絶縁基板1の温度を250℃程度とし、SiH<sub>4</sub>を30SCCM程度とし、NH<sub>3</sub>を60SCCM程度とし、N<sub>2</sub>を390SCCM程度とし、出力600W程度、圧力0.5Torr程度で行うと、同時にポリシリコン薄膜6が水素化されてそのダングリングボンドが減少する。このように、ポリシリコン薄膜6上にプラズマCVDによりゲート絶縁膜7を堆積するのと同時にポリシリコン薄膜6を水素化してそのダングリングボンドを減らしているので、ゲート絶縁膜7の堆積とポリシリコン薄膜6の水素化を一度のプラズマCVDで同時に行うことができ、したがって独自の水素化工程を省略することができ、ひいては製造工程数を少なくすることができる。次に、チャネル領域6aに対応する部分のゲート絶縁膜7の上面にCrからなるゲート電極8をパターン形成する。

【0011】次に、図6に示すように、全表面に塗化シリコン膜からなる層間絶縁膜9を形成する。次に、ソース・ドレイン領域6bに対応する部分の層間絶縁膜9およ

4

びゲート絶縁膜7にコンタクトホール10を形成する。次に、図7に示すように、コンタクトホール10を介してソース・ドレイン領域6bと接続されるA1からなるソース・ドレイン電極11を層間絶縁膜9の上面にパターン形成する。かくして得られた電界効果型の薄膜トランジスタはその効果度が80m<sup>2</sup>/V·sec以上であり、ポリシリコン薄膜6の結晶構造が極めて良好であることが確認された。

【0012】なお、上記実施例では、プラズマCVDにより水素化アモルファスシリコン薄膜2を堆積した後脱水素処理を行っているが、これに限定されるものではなく、例えばLPCVDにより水素を含有しないアモルファスシリコン薄膜を堆積するようにしてもよい。この場合、LPCVDにより水素を含有しないアモルファスシリコン薄膜を堆積する際の絶縁基板1の温度を500～600℃程度とし、多結晶化および活性化するためのエキシマレーザのエネルギー密度を400mJ/cm<sup>2</sup>程度とする。したがって、この場合には脱水素処理を行う必要はないが、絶縁基板1の温度を500～600℃程度と比較的の高温とすることになるので、基板温度の昇温に時間が余計にかかることになる。また、絶縁基板1の温度を600℃程度とした場合には、アモルファスシリコン薄膜ではなくポリシリコン薄膜が直接堆積されることになるが、その後のエキシマレーザ照射によりその結晶粒径が成長し、したがってポリシリコン薄膜の結晶構造を良くすることができる。

【0013】また、上記実施例では、この発明を通常のMOS構造の薄膜トランジスタに適用した場合について説明したが、通常のMOS構造の薄膜トランジスタと比較して、耐圧の向上等を図って高信頼化したLDD構造の薄膜トランジスタにも適用することができる。例えば、図7と同一名称部分には同一の符号を付した図8に示すLDD構造の薄膜トランジスタでは、ポリシリコン薄膜6の中央部をチャネル領域6aとされ、その両側を不純物濃度の低いソース・ドレイン領域6bとされ、さらにその両側を不純物濃度の高いソース・ドレイン領域6cとされた構造となっている。このLDD構造の薄膜トランジスタを製造する場合には、例えば図2に示すような状態において、不純物濃度の低いソース・ドレイン領域6bおよび不純物濃度の高いソース・ドレイン領域6cを形成すべき部分に低濃度の不純物を注入し、次いでフォトレジスト膜4を除去し、次いで不純物濃度の高いソース・ドレイン領域6cを形成すべき部分以外の部分の上面に別のフォトレジスト膜を形成し、この別のフォトレジスト膜をマスクとして不純物濃度の高いソース・ドレイン領域6cを形成すべき部分に高濃度の不純物を注入するようにすればよい。

【0014】さらに、上記実施例では、この発明をトップゲート型のコブチナ構造の薄膜トランジスタに適用した場合について説明したが、スタガ構造やバックゲート

5

型のコブランナまたはスタガ铸造の薄膜トランジスタにも適用し得ることはもちろんである。バックグート型の場合、絶縁基板の上面にゲート電極およびゲート絶縁膜を形成し、その上にアモルファスシリコン薄膜を堆積し、このアモルファスシリコン薄膜を多結晶化してポリシリコン薄膜とする。また、ポリシリニン薄膜の水素化処理は、ポリシリコン薄膜上にパッシバーション膜(絶縁膜)をプラズマCVDにより堆積する際に同時に行うことができる。

## 【0015】

【発明の効果】以上説明したように、この発明によれば、ポリシリコン薄膜上にプラズマCVDにより絶縁膜を堆積すると同時にポリシリコン薄膜を水素化してそのダングリングボンドを被らすようにしているので、絶縁膜の堆積とポリシリコン薄膜の水素化を一度のプラズマCVDで同時にを行うことができ、したがって独自の水素化工序を省略することができ、ひいては製造工程数を少なくすることができる。また、エキシマレーザ照射による多結晶化は核成長であるので、ポリシリコン薄膜の結晶転換を良くすることができ、ひいては移動度を大きくすることができる。

## 【図面の簡単な説明】

【図1】この発明の一実施例における薄膜トランジスタの製造に際し、絶縁基板の上面に水素化アモルファスシリコン薄膜を堆積した状態の断面図。

6

【図2】同薄膜トランジスタの製造に際し、脱水素処理後のアモルファスシリコン薄膜のソース・ドレイン形成領域に不純物を注入した状態の断面図。

【図3】同薄膜トランジスタの製造に際し、エキシマレーザを照射することにより、アモルファスシリコン薄膜を多結晶化すると同時に不純物注入領域を活性化した状態の断面図。

【図4】同薄膜トランジスタの製造に際し、素子分離により、不要な部分のポリシリコン薄膜を除去した状態の断面図。

【図5】同薄膜トランジスタの製造に際し、ゲート絶縁膜およびゲート電極を形成した状態の断面図。

【図6】同薄膜トランジスタの製造に際し、層間絶縁膜およびコンタクトホールを形成した状態の断面図。

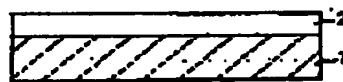
【図7】同薄膜トランジスタの製造に際し、ソース・ドレイン電極を形成した状態の断面図。

【図8】この発明をLDD構造の薄膜トランジスタに適用した場合の図7同様の断面図。

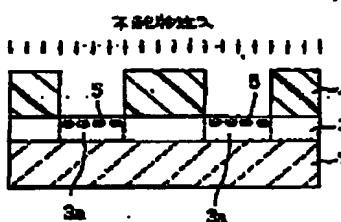
## 【符号の説明】

- 1 絶縁基板
- 2 水素化アモルファスシリコン薄膜
- 3 アモルファスシリコン薄膜
- 5 不純物注入領域
- 6 ポリシリコン薄膜
- 7 ゲート絶縁膜

【図1】



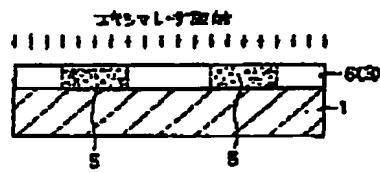
【図2】



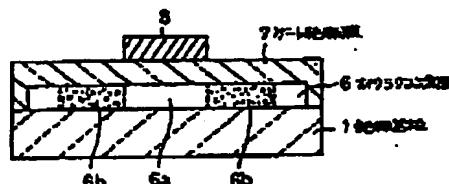
【図4】



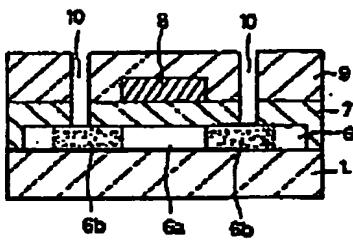
【図3】



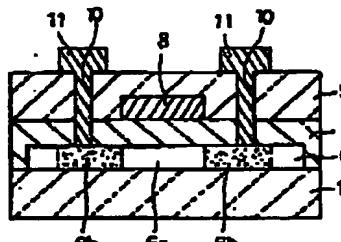
【図5】



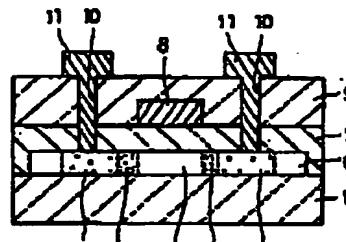
【図6】



【図7】



【図8】



## 【手続補正書】

【提出日】平成4年12月17日

【手続補正1】

【補正対象登録名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】次に、図2に示すように、脱水処理後の

アモルファスシリコン薄膜3のソース・ドレイン形成領域3a以外の領域に対応する部分の上面にフォトレジスト膜4をパターン形成する。次に、このフォトレジスト膜4をマスクとしてアモルファスシリコン薄膜3のソース・ドレイン形成領域3aにリンイオンやボロニイオン等の不純物を注入して不純物注入領域5を形成する。この後、フォトレジスト膜4を除去する。

## フロントページの書き

(51) Int. Cl. 5	識別記号	序内整理番号	P I	技術表示箇所
H01L 21/208	M 7353-4M			
21/265				
21/268	Z 8617-4M			

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**